

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144794

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H01L 21/82

(21)Application number : 08-303010

(71)Applicant : RICOH CO LTD

(22)Date of filing : 14.11.1996

(72)Inventor : YOSHIOKA KEIICHI

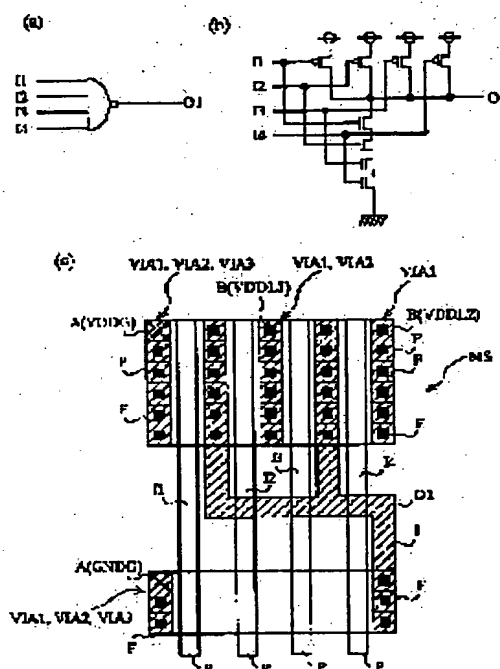
## (54) MACROCELL AND STANDARD CELL SYSTEM SEMICONDUCTOR INTEGRATED CIRCUIT EMPLOYING IT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To design a standard cell utilizing an existing layout and routing software by an arrangement wherein the power supply node part of an electronic element comprising a semiconductor has a via hole part not interconnected with a power supply metal in a cell itself but responsible to interconnect with the power supply metal.

**SOLUTION:** A third via hole VIA 3, a second via hole VIA 2 and a first via hole VIA 1 are made, while being superposed, through a global VDD node (VDDG) and a global GND node (GNDG). The second via hole VIA 2 and the first via hole VIA 1 are made while being superposed, through a local VDD node (VDDL1) and the first via hole VIA 1 is made through a local GND node (GNDL1).

According to the arrangement, degree of freedom of design, degree of integration and transistor performance are enhanced, an existing placement and routing software can be utilized and increase in the current capacity of a macrocell can be dealt with flexibly.



## LEGAL STATUS

[Date of request for examination]

12.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144794

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

B

審査請求 未請求 請求項の数14 OL (全 8 頁)

(21) 出願番号 特願平8-303010

(22) 出願日 平成8年(1996)11月14日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 吉岡 圭一

東京都大田区中馬込1丁目3番6号 株式会社リコー内

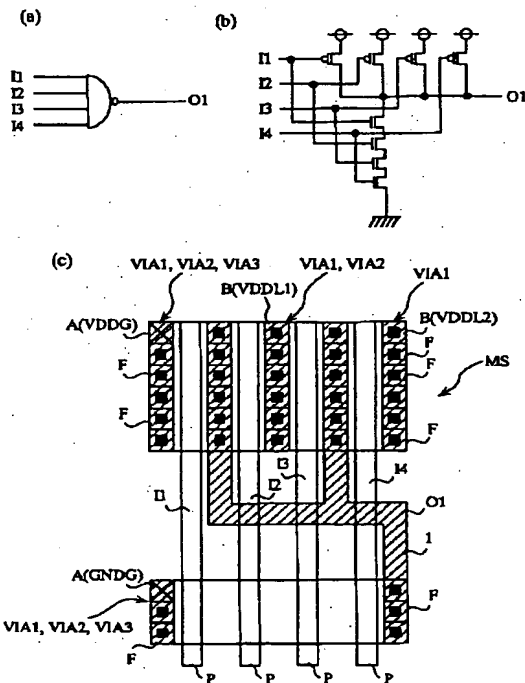
(74) 代理人 弁理士 島居 洋

(54) 【発明の名称】 マクロセル及びこのマクロセルを用いたスタンダードセル方式の半導体集積回路

(57) 【要約】

【課題】 設計の自由度が高く、高集積化が図れるとともに、既存の配置配線ソフトウェアを利用してスタンダードセルの設計が行え、各マクロセルの電流容量の増大にも柔軟に対応できるマクロセルを提供することを目的とする。

【解決手段】 半導体により構成される電子素子のグローバル電源ノードVDDG、ローカル電源ノードVDDL1、VDDL2は、セル自体ではメタル配線されておらずにメタル配線との接続を担うビアホールを有して成り、これらVDDG、VDDL1、VDDL2は互いにオープンになっている。



## 【特許請求の範囲】

【請求項1】 半導体により構成される電子素子の電源ノード部分はセル自体では電源メタルに配線されておらずに電源メタルとの接続を担うビアホールとなる部分を有していることを特徴とするマクロセル。

【請求項2】 前記電源ノード部分を複数備え、それらは互いに配線されずにオープンになっていることを特徴とする請求項1に記載のマクロセル。

【請求項3】 前記電源ノード部分は、配置配線で電源メタルとなる上層のメタル層に達するグローバル電源ノード部分であることを特徴とする請求項1又は請求項2に記載のマクロセル。

【請求項4】 前記電源ノード部分は、配置配線で電源メタルとなる上層のメタル層より下層のメタル層に達するローカル電源ノード部分であることを特徴とする請求項1又は請求項2に記載のマクロセル。

【請求項5】 前記複数の電源ノード部分は、配置配線で電源メタルとなる上層のメタル層に達するグローバル電源ノード部分と、配置配線で電源メタルとなる上層のメタル層より下層のメタル層に達するローカル電源ノード部分とが混在して成ることを特徴とする請求項2に記載のマクロセル。

【請求項6】 半導体により構成される電子素子の接地ノード部分はセル自体では接地メタルに配線されておらずに接地メタルとの接続を担うビアホールとなる部分を有していることを特徴とするマクロセル。

【請求項7】 前記接地ノード部分を複数備え、それらは互いに配線されずにオープンになっていることを特徴とする請求項6に記載のマクロセル。

【請求項8】 前記接地ノード部分は、配置配線で接地メタルとなる上層のメタル層に達するグローバル接地ノード部分であることを特徴とする請求項6又は請求項7に記載のマクロセル。

【請求項9】 前記接地ノード部分は、配置配線で接地メタルとなる上層のメタル層より下層のメタル層に達するローカル接地ノード部分であることを特徴とする請求項6又は請求項7に記載のマクロセル。

【請求項10】 前記複数の接地ノード部分は、配置配線で接地メタルとなる上層のメタル層に達するグローバル接地ノード部分と、配置配線で接地メタルとなる上層のメタル層より下層のメタル層に達するローカル接地ノード部分とが混在して成ることを特徴とする請求項7に記載のマクロセル。

【請求項11】 請求項1乃至請求項10の任意のマクロセルの組み合わせで構成されていることを特徴とするスタンダードセル方式の半導体集積回路。

【請求項12】 マクロセルのローカル電源ノード部分又はローカル接地ノード部分が自身の又は他のマクロセルのグローバル電源ノード部分又はグローバル接地ノード部分に接続されていることを特徴とする請求項11に

記載のスタンダードセル方式の半導体集積回路。

【請求項13】 請求項1乃至請求項10の任意のマクロセルを横方向に組み合わせるスタンダードセルが構成され、前記スタンダードセルが縦方向に複数段に並べられて構成されていることを特徴とするスタンダードセル方式の半導体集積回路。

【請求項14】 スタンダードセルにおけるマクロセルのローカル電源ノード部分又はローカル接地ノード部分が自身の又は自身が属するスタンダードセルの他のマクロセル又は隣接する他のスタンダードセルにおける他のマクロセルのグローバル電源ノード部分又はグローバル接地ノード部分に接続されていることを特徴とする請求項13に記載のスタンダードセル方式の半導体集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マクロセル及びこのマクロセルを用いたスタンダードセル方式の半導体集積回路に関する。

【0002】

【従来の技術】スタンダードセル方式の半導体集積回路は、複数種類の基本的な動作をなす電子素子である論理ゲート（例えば、NAND回路やインバータ回路など）を、高さが一定の矩形領域に予めレイアウトし、これをマクロセルとしてデータベース上に登録しておき、顧客の要求に合った仕様の動作を実現するのに必要となるマクロセルを電子計算機上で選び出し、自動的に配置配線計算を行って、かかるマクロセルを最適に配置して、この領域を数段に備え、相互に配線を行って設計されるようになっている。

【0003】図5(a)は、2入力NAND回路のシンボルを示し、同図(b)はその具体的素子回路構成を示し、同図(c)は上記具体的素子回路構成をレイアウトして成る従来のマクロセルmsを示している。このマクロセルmsは、矩形領域の上端側において水平方向にVDD線101を備え、下端側において水平方向にGND線102を備えている。これらVDD線101およびGND線102は、第1のメタル層を用いて成るもので、当該VDD線101およびGND線102となる部分を所定形状にパターニングされることで形成される。そして、VDD線101とGND線102との間（一定の距離Yが確保されている）の素子形成領域において前記の図5(b)で示している各種トランジスタが構成されている。2入力NAND回路における信号出力線となるのは図5(c)のo<sub>1</sub>で示された配線部分（ハッチングを施している）であり、この配線部分および他のハッチングを施している配線部分は、前記第1のメタル層を用いて形成されている。2入力NAND回路における信号入力線となる部分は、図のi<sub>1</sub>、i<sub>2</sub>で示された部分であり、この部分はポリシリコンである。また、図の方形状

黒塗り部分は、コンタクト部分105を示している。

【0004】図6は、11個の従来のマクロセルms1～ms11から成るセル配置row0, row1を示した模式図である。各rowは、マクロセルmsを横方向に並べて成り、各マクロセルmsのVDD線101が連続することでrowにおけるVDD線111が形成され、また、GND線102が連続することでrowにおけるGND線112が形成される。

【0005】row0とrow1の間では、信号線120, 121, 122によって信号伝送がなされる。信号線120における縦方向（VDD線111と直行する方向）および横方向（VDD線111と平行な方向）の線部分はいずれも第2のメタル層を用いて形成され、この信号線120の両端は、ビアホール（第1のメタル層と第2のメタル層を接続している）125にてマクロセルmsの所定部分に接続されている。信号線121における縦方向の線部分は第2のメタル層を用いて形成され、横方向の線部分は第1のメタル層を用いて形成され、この信号線121の両端はビアホール125にてマクロセルmsの所定部分に接続され、第1, 第2のメタル層同士の接続点もビアホール125にて互いに接続されている。また、縦方向に延びる信号線122は、第2のメタル層を用いて形成され、この信号線122の両端は、ビアホール125にてマクロセルmsの所定部分に接続されている。

【0006】このようなスタンダードセル方式の半導体集積回路に関する従来技術として、特開平2-285656号公報のスタンダードセル方式の半導体集積回路、特開平2-12964号公報の半導体集積回路、特開平2-165652号公報の半導体集積回路装置、および特開昭64-37034号公報のスタンダードセルが知られている。

【0007】

【発明が解決しようとする課題】上述したごとく、従来のスタンダードセル方式を用いた半導体集積回路においては、配置配線ソフトウェアによるマクロセルmsを横方向に並べてrowを形成するレイアウトにおいて、連続した電源ラインおよび接地ライン（VDD線111、GND線112）が得られるようにするために、マクロセルmsの上下両縁に電源ラインとなる配線領域および接地ラインとなる配線領域（VDD線101、GND線102）を、各種のマクロセルmsにおいて共通の寸法で形成しなければならないという制約が生じていた。

【0008】このように、各種のマクロセルmsにおいて、上下両縁に電源ラインとなる配線領域および接地ラインとなる配線領域を共通寸法で形成するという制約を受けると、マクロセルmsの設計の自由度が小さくなり、半導体集積回路の集積度向上が阻害されるという欠点がある。また、第1のメタル層は電源線以外の信号配線にできるだけ多く用いることができれば有利なのであ

るが、従来は、上述した上下両縁に電源ラインとなる配線領域および接地ラインとなる配線領域を第1のメタル層で形成するため、この第1のメタル層を電源ライン以外の信号線として多く用いたいという要求に答えることができなかった。

【0009】なお、特開平2-9149号公報には、共通の寸法を持たないマクロセルmsを用いることが開示されているが、この技術では既存の配置配線ソフトウェアを用いることができないという欠点がある。

【0010】また、特開平7-169842号公報には、多層配線構造（3層構造や4層構造、或いはそれ以上の多層構造がある）の半導体集積回路の設計において、各層のメタル配線のピッチ等について考察した技術が開示されている。この技術においても、上記従来のマクロセルmsを用いると考えられるが、いずれかの層に配置される幹線となる電源用メタル配線と、コンタクトレベルである第1のメタル層（VDD線111、GND線112）との接続を図るためには、第1のメタル層から第2のメタル層、第2のメタル層から第3のメタル層、という具合に、各層のメタル配線間をビアホールで接続する必要がある。そして、各層においてビアホール数が増えると、その層において信号線に配線制限を受けることになる。従って、上層ほど配線の自由度が低くなり、また、プロセス上、上層ほど配線幅やピッチが大きく設定される場合があるため、上層のメタル層ほど幹線となる電源用メタル配線として使用されがちとなるが、幹線となる電源用メタル配線が上層になればなるほど、前述のごとく各層におけるビアホールが増えてしまうから、信号線の配線制限が増大するという悪循環が生じる。その一方、下層側に基幹たる電源線や接地線を確保しようとしたのでは、かかる電源線や接地線を太幅にすることが困難である。

【0011】また、このように、第1のメタル層を電源線や接地線として用いるために、信号配線が十分に行えず、第2, 第3といった上層のメタル層で多くの配線をしなければならない結果、信号配線のためのビアホールが増加し、上層ほど配線制限が増え、例えば最上層の基幹となる電源線や接地線と前記第1のメタル層の電源線や接地線との接続を確保するためのビアホールの設置箇所にも制限を受けることになり、一群のマクロセルに対して電源用のビアホールを1箇所しか確保できないようなことが生じ、このような場合には、各マクロセルに対して十分な電流を与えることができないといった問題も招来する。

【0012】この発明は、上記の事情に鑑み、設計の自由度が高く、高集積化が図れるとともに、既存の配置配線ソフトウェアを利用してスタンダードセルの設計が行え、各マクロセルの電流容量の増大にも柔軟に対応できるマクロセル、及びこのマクロセルを用いたスタンダードセル方式の半導体集積回路を提供することを目的とす

る。

#### 【0013】

【課題を解決するための手段】この発明のマクロセルは、半導体により構成される電子素子の電源ノード部分はセル自体では電源メタルに配線されておらずに電源メタルとの接続を担うビアホールとなる部分を有していることを特徴とする。そして、前記電源ノード部分を複数備える場合にはそれらは互いに配線されずにオープンになっている。

【0014】上記の構成であれば、従来のマクロセルがそれ自体で備えていた第1のメタル層からなる電源線は不要となる。従って、電源線を規定位置に配するといった制約は受けないことになり、設計の自由度が増す。また、電源線が不要になった分、その部分に信号配線を配することが可能となり、集積度が向上する。また、電源ノード部分の個数や接続形態を情報化し、当該情報を配置配線ソフトウェアにおいて通常のマクロセルの入出力端子間の接続情報と同様に追加すればよいから、既存の配置配線ソフトウェアを容易に利用できる。また、基本的には各マクロセルが基幹電源線となる上層のメタル層から直接的に電力の供給を受けることになり、且つ、各マクロセルのノード部分の個数に制限がなく、適宜変更が可能であるから、マクロセルの電流容量の増大に対しても柔軟に対応することができる。更に、基幹電源線となるメタル層を上層側に配することで太幅等の利点を享受する一方、基幹電源線となるメタル層を上層側に配することでビアホールが増えたとしても、第1のメタル層で多くの信号配線を賄うことができるから、第2、第3層といった上層のメタル層での信号配線は複雑でなく、この信号配線が上記ビアホールで制限されることも少ない。

【0015】前記電源ノード部分は、配置配線で電源メタルとなる上層のメタル層に達するグローバル電源ノード部分であってもよい。前記電源ノード部分は、配置配線で電源メタルとなる上層のメタル層より下層のメタル層に達するローカル電源ノード部分であってもよい。前記複数の電源ノード部分は、配置配線で電源メタルとなる上層のメタル層に達するグローバル電源ノード部分と、配置配線で電源メタルとなる上層のメタル層より下層のメタル層に達するローカル電源ノード部分とが混在して成っていてもよい。

【0016】また、この発明のマクロセルは、半導体により構成される電子素子の接地ノード部分はセル自体では接地メタルに配線されておらずに接地メタルとの接続を担うビアホールとなる部分を有している。そして、前記接地ノード部分を複数備える場合には、それらは互いに配線されずにオープンになっている。

【0017】上記の構成であれば、従来のマクロセルがそれ自体で備えていた第1のメタル層からなる接地線は不要となるので、上述と同様の作用が得られる。

【0018】前記接地ノード部分は、配置配線で接地メタルとなる上層のメタル層に達するグローバル接地ノード部分であってもよい。前記接地ノード部分は、配置配線で接地メタルとなる上層のメタル層より下層のメタル層に達するローカル接地ノード部分であってもよい。前記の複数の接地ノード部分は、配置配線で接地メタルとなる上層のメタル層に達するグローバル接地ノード部分と、配置配線で接地メタルとなる上層のメタル層より下層のメタル層に達するローカル接地ノード部分とが混在していてもよい。

【0019】また、この発明のスタンダードセル方式の半導体集積回路は、上述したマクロセルの任意の組み合わせで構成されていることを特徴とする。マクロセルのローカル電源ノード部分又はローカル接地ノード部分が自身の又は他のマクロセルのグローバル電源ノード部分又はグローバル接地ノード部分に接続されていてもよい。

【0020】また、この発明のスタンダードセル方式の半導体集積回路は、上述したマクロセルを任意に横方向に組み合わせてスタンダードセルが構成され、前記スタンダードセルを縦方向に複数段に並べられて構成されていることを特徴とする。前記スタンダードセルにおけるマクロセルのローカル電源ノード部分又はローカル接地ノード部分が自身の又は自身が属するスタンダードセルの他のマクロセル又は隣接する他のスタンダードセルにおける他のマクロセルのグローバル電源ノード部分又はグローバル接地ノード部分に接続されていてもよい。

#### 【0021】

【発明の実施の形態】以下、この発明の実施の形態を図に基づいて説明する。

【0022】図1(a)は、4入力NAND回路のシンボルを示し、同図(b)はその具体的素子回路構成を示し、同図(c)は上記具体的素子回路構成をレイアウトして成るこの発明の実施の形態のマクロセルMSを示している。マクロセルMSは、略矩形状の素子形成領域に、図1(b)の各種トランジスタを構成して成るものである。

【0023】図1(c)の“A”は、グローバルなノード部分を示しており、グローバルなVDDノードにはVDDGの符号を付記し、グローバルなGNDノードにはGNDGの符号を付記している。ここで、グローバルとは、例えば第4メタル層をスタンダードセルにおける配置配線で基幹たるVDD線およびGND線とする場合に、当該第4メタル層に接続されることになる部分と定義される。このグローバルなVDDノード(VDDG)およびグローバルなGNDノード(GNDG)には、第3ビアホール(第3メタル層と第4メタル層を接続)V1A3、第2ビアホール(第2メタル層と第3メタル層を接続)V1A2、及び第1ビアホール(第1メタル層と第2メタル層を接続)V1A1が重ねて形成される。

【0024】また、図の“B”はローカルなノード部分を示しており、ローカルな第1のVDDノードにはVDDL1の符号を付記し、ローカルな第2のVDDノードにはVDDL2の符号を付記している。ここで、ローカルとは、前記第4メタル層に直接に接続されるのではなく、前記グローバルなVDDノード(VDDG)を介して第4メタル層に接続されるものであると定義される。ローカルなVDDノード(VDDL1)には、第2ビアホールVIA2、及び第1ビアホールVIA1が重ねて形成され、ローカルなVDDノード(VDDL2)には、第1ビアホールVIA1が形成される。また、図の方形黒塗り部分F…は、コンタクト部分(フィールドと第1メタル層を接続)を示している。

【0025】4入力NAND回路における信号出力線となるのは図1(c)のO<sub>1</sub>で示された部分(ハッチングを施している)であり、この部分および他のハッチングを施している部分は、第1のメタル層1を用いて形成されている。4入力NAND回路における信号入力線となる部分は、図のI<sub>1</sub>, I<sub>2</sub>, I<sub>3</sub>, I<sub>4</sub>で示された部分であり、この部分はポリシリコン層P…にて形成される。

【0026】図2(a)は、2入力NAND回路のシンボルを示し、同図(b)はその具体的素子回路構成を示し、同図(c)は上記具体的素子回路構成をレイアウトして成るこの発明の実施の形態のマクロセルMSを示している。マクロセルMSは、略矩形状の素子形成領域に、図2(b)の各種トランジスタを構成して成るものである。図1(c)の“A”は、グローバルなノード部分を示しており、グローバルなVDDノードにはVDDGの符号を付記し、グローバルなGNDノードにはGNDGの符号を付記している。このグローバルなVDDノード(VDDG)およびグローバルなGNDノード(GNDG)には、第3ビアホールVIA3、第2ビアホールVIA2、及び第1ビアホールVIA1が重ねて形成される。

【0027】また、図の“B”はローカルなノード部分を示しており、ローカルなVDDノードにはVDDL1の符号を付記し、ローカルなGNDノードにはGNDL1の符号を付記している。ローカルなVDDノード(VDDL1)には、第2ビアホールVIA2、及び第1ビアホールVIA1が重ねて形成され、ローカルなGNDノード(GNDL1)には、第1ビアホールVIA1が形成される。また、図の方形黒塗り部分F…は、コンタクト部分(フィールドと第1メタル層を接続)を示している。

【0028】このように、この発明のマクロセルMSは、半導体により構成される論理ゲートの電源ノード部分はセル自体ではメタル配線されておらずにメタル配線との接続を担うビアホールとなる部分を有している。そして、前記電源ノード部分を複数備える場合にはそれら

は互いに配線されずにオープンになっている。即ち、従来のマクロセルmsがそれ自体で備えていた第1のメタル層からなる電源線や接地線は備えない構造を実現している。

【0029】図3は、前述したこの発明のマクロセルMSから成るスタンダードセルの一部をなすROW0, ROW1を示すとともに、各ROW0, ROW1間の配線構造を示している。ただし、第1メタル層およびそれ以下の層(フィールド、ポリシリコン、コンタクト等)は示していない。ROW0の上側縁部分を覆うように横方向に長く第4メタル層4からなる第1のグローバルライン(グローバル電源ラインVDD5)が形成され、ROW0の下側縁部分とROW1の上側縁部分を跨いで横方向に長く第4メタル層4からなる第2のグローバルライン(グローバル接地ラインGND6)が形成され、ROW1の下側縁部分を覆うように横方向に長く第4メタル層4からなる第3のグローバルライン(グローバル電源ラインVDD7)が形成されている。

【0030】図の“A”で示されている部分は、グローバルなノード部分(VDDG, GNDG)を示しており、このグローバルなノード部分Aは、前記のグローバルラインVDD5, GND6, VDD7に対応するように形成されている。また、図の“B”で示されている部分は、ローカルなノード部分(VDDL, GNDL)を示している。そして、右から左へ引かれた斜め線のハッチング部分は、第3メタル層3を示しており、左から右へ引かれた斜め線のハッチング部分は、第2メタル層2を示している。また、図の“+”で示された部分は、入出力ノード(I/O端子)を示している。

【0031】そして、第4メタル層から成る前記のグローバル電源ラインVDD5, VDD7、及びグローバル接地ラインGND6と、前記のグローバルなノード部分A(VDDG, GNDG)とが接続されている。そして、ローカルなノード部分Bは、種々の接続形態でグローバルなノード部分Aに接続されている。例えば、図のQ矢示部に示すごとく、ローカルノードBが第3メタル層3を介して自身のマクロセルのグローバルノードAに接続されたり、図のR矢示部に示すごとく、異なるROW0, ROW1間において、ローカルノードBが他のROW間におけるマクロセルのグローバルノードAに接続されたり、図のS矢示部に示すごとく、異なるROW0, ROW1間において、ローカルノードBが他のROW間におけるマクロセルのローカルノードBを介し、更にその隣のマクロセルのグローバルノードAに接続されている。

【0032】図4は、上述したROWから成る半導体装置のネットリストの一部分を例示した説明図である。配置配線のためのソフトウェア上で前述したマクロセルMSを使用する場合には、マクロセルMS単位で予め定められた数のローカルノード(VDDL, GNDL)とグ

ローカルノード (VDDG、GNDG) を接続する情報 (図の $\alpha$ で示された部分) を把握しておく。例えば、X1 (2入力NAND) は、一つのローカルノードVDDL1だけを持ち、X2 (インバーター) は、ローカルノードを持たず、X3 (2入力NOR) は二つのローカルノードVDDL1、VDDL2と一つのローカルノードGNDL1を持つという情報を用意する。そして、回路図から配置配線用ネットリストを生成する際に、上記の情報を、通常のマクロセルMS間の入出力端子間の接続情報 (図の $\beta$ で示された部分) と同様に追加すればよい。

【0033】以上説明したように、この発明のマクロセルであれば、従来のマクロセルがそれ自体で備えていた第1のメタル層からなる電源線や接地線は不要となる。従って、電源線や接地線を規定位置に配するといった制約は受けないことになり、マクロセルの高さを適宜変更できる等、設計の自由度が増す。また、電源線や接地線が不要になった分、その部分に信号配線を配することが可能となり、集積度が向上するとともに、ドレインコンタクトをフィールド内に配置するときの制限 (図2の従来マクロセルでは、ドレインコンタクトがVDD線101に触れないように数を少なくしている) も無くなり、トランジスタの性能の向上も図れる。また、電源ノード部分や接地ノード部分の個数や接続形態を情報化し、当該情報を配置配線ソフトウェアにおいて通常のマクロセルの入出力端子間の接続情報と同様に追加すればよいから、既存の配置配線ソフトウェアを容易に利用できる。また、基本的には各マクロセルMSが基幹電源線となる上層のメタル層 (この実施の形態では第4のメタル層) から直接的に電力の供給を受けることになり、且つ、各マクロセルMSのノード部分の個数に制限がなく、適宜変更が可能であるから、マクロセルMSの電流容量の増大に対しても柔軟に対応することができる。更に、基幹電源線となるメタル層を上層側に配することで太幅等の利点を享受する一方、基幹電源線となるメタル層を上層側に配することでビアホールが増えたとしても、第1のメタル層で多くの信号配線を賄うことができるから、第2、第3層といった上層のメタル層での信号配線は複雑でなく、この信号配線が上記ビアホールで制限されることも少ない。

【0034】なお、この実施の形態では、第4のメタル層に基幹となる電源線や接地線を配したが、これに限られるものではない。また、マクロセルとして4入力NANDゲートマクロセルと2入力NORマクロセルを示し

たが、これ以外のマクロセルにおいてもこの発明を適用できることは勿論である。

#### 【0035】

【発明の効果】以上説明したように、この発明によれば、従来のマクロセルがそれ自体で備えていた第1のメタル層からなる電源線は不要となるので、設計の自由度、集積度、及びトランジスタ性能が向上するとともに、既存の配置配線ソフトウェアの利用が可能であり、マクロセルの電流容量の増大に対しても柔軟に対応できる等の優れた諸効果を奏する。

#### 【図面の簡単な説明】

【図1】同図 (a) は4入力NAND回路のシンボルを示し、同図 (b) はその具体的素子回路構成を示し、同図 (c) は上記具体的素子回路構成をレイアウトして成るこの発明の実施の形態のマクロセルを示した説明図である。

【図2】同図 (a) は、2入力NAND回路のシンボルを示し、同図 (b) はその具体的素子回路構成を示し、同図 (c) は上記具体的素子回路構成をレイアウトして成るこの発明の実施の形態のマクロセルを示した説明図である。

【図3】この発明のスタンダードセル方式の半導体集積回路におけるスタンダードセルの一部をなすROWを示した説明図である。

【図4】この発明のスタンダードセル方式の半導体集積回路のネットリストの一部分を例示した説明図である。

【図5】同図 (a) は、2入力NAND回路のシンボルを示し、同図 (b) はその具体的素子回路構成を示し、同図 (c) は上記具体的素子回路構成をレイアウトして成る従来のマクロセルを示した説明図である。

【図6】従来のマクロセルから成るスタンダードセル方式の半導体集積回路における二組のrowを示した模式図である。

#### 【符号の説明】

- 1 第1のメタル層
- 2 第2のメタル層
- 3 第3のメタル層
- 4 第4のメタル層

VDDG グローバルなVDDノード

GNDG グローバルなGNDノード

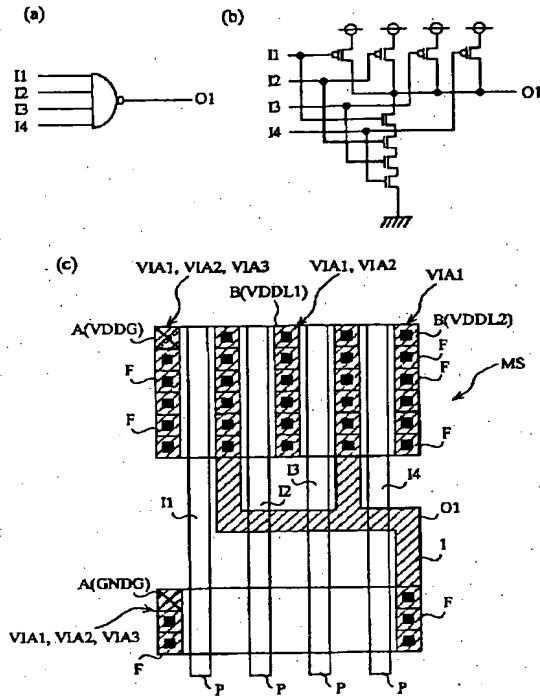
VDDL ローカルなVDDノード

GNDL ローカルなGNDノード

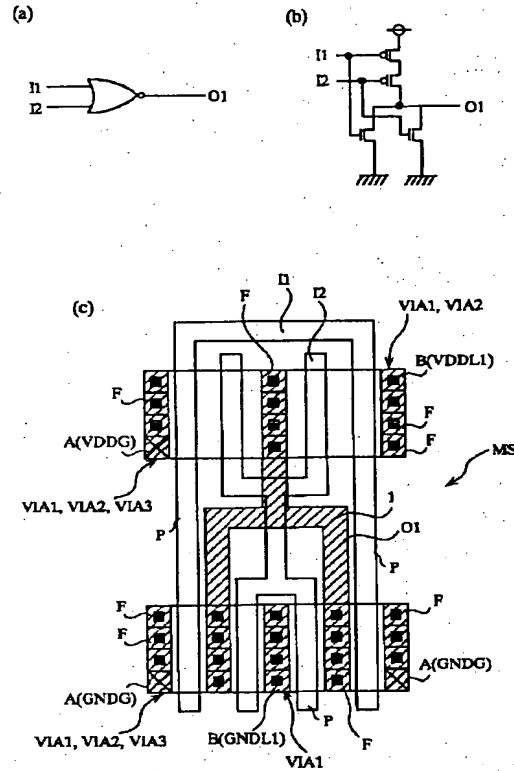
VIA ビアホール



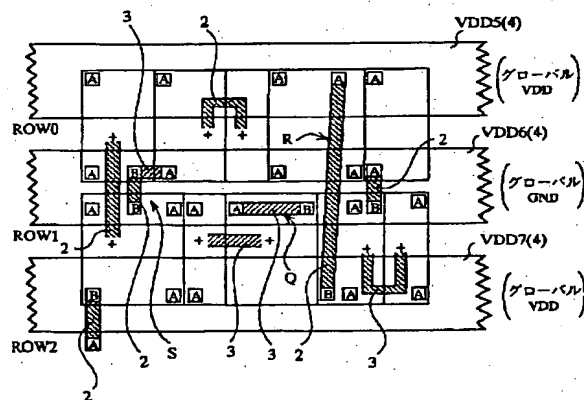
【図 1】



【図 2】



【図 3】



【図 4】

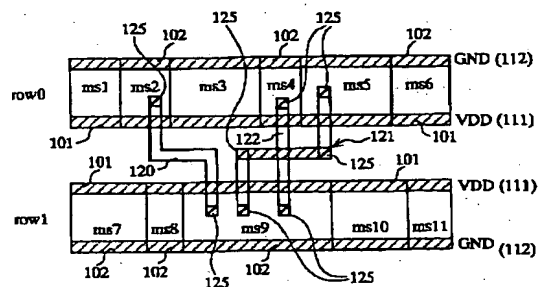
```

STDNET OPEN {
  X1 NAND2      . . . . . (2入力NAND)
  X2 INV1       . . . . . (INVERTER)
  X3 NOR2       . . . . . (2入力NOR)
} インスタンス定義

NET X1.O1 TO X2.I1 . . . . . (NANDの出力O1とINV入力I1の接続)
NET X2.O1 TO X3.I1 . . . . . (NORの出力O1とX3INVの入力I1の接続)
.
.
. ネット情報 (β)
.
NET VDDG TO X1.VDDL1
NET VDDG TO X3.VDDL1
NET VDDG TO X3.VDDL2
NET GNDG TO X3.GNDL1
}
  
```

(α) グローバルとローカルノードの接続

【図 6】



【図5】

